

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-029887
(43)Date of publication of application : 08.02.1988

(51)Int.Cl.

G06F 13/28

(21)Application number : 61-174486
(22)Date of filing : 23.07.1986

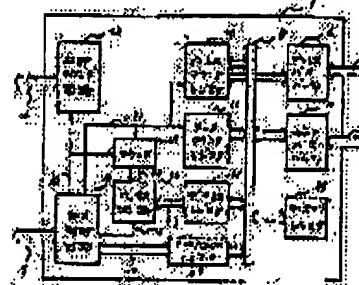
(71)Applicant : NEC CORP
(72)Inventor : BABA EIJI

(54) DMA CONTROLLER

(57)Abstract:

PURPOSE: To attain DMA transfer between memories without sharply deteriorating the response of a CPU by counting the number of times of continuous DMA transfer, and when the count value coincides with a previously set up value enabling continuous DMA transfer, interrupting a DMA cycle and actuating the CPU.

CONSTITUTION: When the count value 22 of a counter 15 coincides with the number 23 of continuous transfer data set up in a data number register 12, a coincidence signal 18 from a comparator 16 is activated, the output of an AND gate 25 is deactivated and a DMA control circuit 14 transfers its bus using right to the CPU to activate CPU cycles 102, 104.... When the bus using right is transferred to the CPU and a DMA enabling signal 20 is deactivated, the contents of the counter 15 are cleared, a DMA request signal 19-1' is activated again and DMA is restarted. When the contents of a data counter register 11 are turned to zero, the bus using right is transferred to the CPU after the end of a DMA cycle 108 and a CPU cycle 107 is started.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭63-29867

⑫ Int. Cl.
G 06 F 13/28

識別記号
310

序内整理番号
G-7165-5B
Q-7165-5B

⑬ 公開 昭和63年(1988)2月8日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 DMAコントローラ

⑮ 特願 昭61-174486
 ⑯ 出願 昭61(1986)7月23日

⑰ 発明者 馬場 英司 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑲ 代理人 弁理士 内原晋

明細書

1. 発明の名称

DMAコントローラ

2. 特許請求の範囲

CPUとバス接続されたメモリ間の転送機能を有するDMAコントローラにおいて、

送端して転送できるデータ数を保持するレジスタと、送端して転送したデータ数をカウントするカウンタと、前記のレジスタに保持されたデータ数と前記カウンタのカウント値を比較する比較回路と、前記比較回路からの一致信号によりDMA転送を中断して前記バスの使用権をCPUに移し、その後、再びバスの使用権をDMA転送を再開させる制御回路を有するコントローラ。

3. 発明の詳細な説明

【発明上の利用分野】

本発明はDMAコントローラに関するもの

リ間転送機能を有するDMAコントローラに関する。

【従来の技術】

従来の一例を第4図に示す。第4図において1'がDMAコントローラであり、外部アドレスバス2'、外部データバス3'、外部制御信号4'、外部DMA制御信号5'、アドレスバスバッファ6'、データバスバッファ7'、内部データバス8'、動作モードやDMAコントローラ1'の状態を示すモードノーステータスレジスタ9'、DMA転送アドレスを保持するアドレスカウンタレジスタ10'、DMA転送データ数を保持するデータカウンタレジスタ11'、DMAコントローラ1'内外の制御を行なう制御タイミング回路12'、DMA関係の制御を行なうDMA制御回路13'で構成されている。

DMAによりメモリ間の転送を行なう場合には、CPUから外部アドレスバス2'、外部データバス3'、外部制御信号4'によりアドレスカウンタレジスタ10'に転送元メモリアドレス及び転送先メモリアドレスをデータカウンタレジスタ11'に転送

データ数を、またモード/スタートアスレジスタ9に動作モード(この場合にはメモリ間転送モード)をそれぞれセットし、スタートコマンドをモード/スタートアスレジスタ9に入力することで転送がスタートする。

転送がスタートすると外部DMA制御信号5を用いてCPUからバスの使用権をとり、DMA可使信号20をアクティブとし、アドレスカウンタレジスタ10からの転送元メモリアドレスをアドレスバスバックファ8を介して外部アドレスバス2へ出力し、外部制御信号4により転送メモリに読み出しを指示し、転送元メモリから読み出したデータを外部データバス3、データバスバックファ7、内部データバス8を介してテンボラリレジスタ24に書き込む。このときアドレスカウンタレジスタ10の転送元メモリアドレスはカウントタロック21によりカウントして次の転送元メモリアドレスとなる。

次にアドレスカウンタレジスタ10から転送先メモリアドレスをアドレスバスバックファ8を介し

てリフレッシュ動作を行なっているシステムにおいてはDMA中にリフレッシュ処理を行なわざるといった欠点がある。また、これらの欠点を避ける角に一度の転送データ数を少なく設定すると、本来一度ですむ、モード/スタートアスレジスタ9、アドレスカウンタレジスタ10およびデータカウントレジスタ11への前述のようペラメータのセットを全ての転送が終了するまで何回も行なう必要があり、プログラムが複雑になるという欠点がある。

〔問題点を解決するための手段〕

本発明のDMAコントローラは連続して転送できるデータ数を保持するレジスタと、連続して転送したデータ数をカウントするカウンタと、カウンタからのカウント値と前記レジスタの値を比較する比較回路と、比較回路からの一致信号によりDMA転送を中断してバスの使用権をCPUに移した後、再度バスの使用権をとりDMA転送を再開させる制御回路を有する。

〔実施例〕

特開昭63-29867 (2)

外部アドレスバス2に出力して転送先メモリを選択し、テンボラリレジスタ24に書き込んであるデータを内部データバス8、データバスバックファ7を介して外部データバス3に出力して外部制御信号4により転送先メモリに書き込む。このときカウントタロック21によりアドレスカウンタレジスタの転送先メモリアドレスはカウントして次の転送先メモリアドレスとなると同時にデータカウンタレジスタ11もカウントダウンする。

以上の動作をデータカウンタレジスタ11の値がゼロになるまでくり返すことでメモリ間のデータ転送を実現している。

〔発明が解決しようとする問題点〕

上述した従来のDMAコントローラは、データカウンタレジスタ11にセットした転送データ数だけの転送が終了するまではDMAコントローラがバスの使用権を保持する為に、一度転送がスタートすると転送終了まではCPUは何もできない。この為に急ぎの処理が必要となつた場合の対応ができるといふ欠点や、CPUがダイナミックRAM

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例によるDMAコントローラのブロック図である。

DMAコントローラ1は外部アドレスバス2、外部データバス3、外部制御信号4および外部DMA制御信号5により外部とのやりとりを行ない、アドレスバスバックファ8、データバスバックファ7、内部データバス8、モード/スタートアスレジスタ9、アドレスカウンタレジスタ10、データカウンタレジスタ11、データ数レジスタ12、制御タイミング回路13、DMA制御回路14、カウンタ15、比較回路16、テンボラリレジスタ24及び相互のやりとり信号(18~23)により構成される。

外部アドレスバス2はアドレスバスバックファ8を介してDMAコントローラ1内部のレジスタ(以下内部レジスタと称する)の指定やDMA時のメモリ選択に用いられ、外部データバス3はデータバスバックファ7を介して内部レジスタとのデータ受け渡しに用いられ、外部制御信号4はCPU

からの内部レジスタへの書き込み、読み出しの指示やDMA時のメモリやI/Oに対する制御に用いられる。DMA制御信号3はDMAコントローラ1に対するDMAの要求やDMAコントローラ1とCPUとの間のバスの使用権の授受等に用いられる。

モード/ステータスレジスタ9はDMAコントローラ1の動作モードや内部状態を示し、アドレスカウントレジスタ10はDMA転送時のメモリアドレスの保持及びカウント、データカウントレジスタ11はDMA転送すべきデータ数の保持及びカウントダウンを行なう。

データ数レジスタ12は送続して転送できるデータ数を保持し、カウンタ13はDMA可能信号20によりDMA中以外はクリアされ、DMAがスタートすると転送回数をカウントする。比較回路16はカウンタ15のカウント値とデータ数レジスタ12の値を比較して一致したらDMA制御回路14に一致信号18を出力する。

制御タイミング回路13はCPUからの外部制

為にDMA要求信号19-1'がアクティブとなる、DMA制御回路14はCPUからバス使用権を得てDMAサイクルをスタートする。

DMAサイクルがスタートするとDMA可能信号20がアクティブとなり、カウンタ15へのクリアは切れ、カウントロック21により1回の転送終了毎にアドレスカウントレジスタ10、データカウントレジスタ11、カウンタ15はカウント動作を行なう。データカウントレジスタ11の値がゼロになるか、カウンタ15のカウント値22とデータ数レジスタ12に設定された送続転送データ数23が等しくなるまでは、第3回に示されるようくDMAサイクル(101-1, 101-2, ..., 103-1, ..., 105-1, ...)がくり返される。

カウンタ15のカウント値22とデータ数レジスタ12に設定された送続転送データ数23が等しくなる(第3回のDMAサイクル101-2, 105-1, ...)と、比較回路18から的一致信号18がアクティブとなり、第3回においてAND

特開昭63-29857 (3)

制御信号4により内部で必要を制御信号を発生するとともに、DMA中には必要な外部制御信号4を必要をタイミングで発生し、DMA制御回路14は外部からのDMA要求や、CPUからのコマンドによるDMA要求によりCPUとの間のバス使用権の授受やDMAサイクル実行を制御する。

第2回は第1回のDMA制御回路14を従来のDMAコントローラでのDMA制御回路17にANDゲート28を付加して構成した例を示したもので、モード/ステータスレジスタ9からの内部DMA要求信号19-1を比較回路16からの一致信号18でゲートして内部からのDMA要求信号19-1'とする。

以上の構成においてDMA動作について説明する。

CPUから必要なパラメータを内部レジスタ(9, 10, 11, 12)に設定し、DMAスタートコマンドを発行することで内部ステータス信号19の中の内部DMA要求信号19-1がアクティブとなる。このとき、一致信号はアクティブでない

ゲート28出力(DMA要求信号19-1')はアクティブでなくなり、DMA制御回路14はバスの使用権をCPUに移し、第3回に示されるようにCPUサイクル102, 104, ...となる。

バスの使用権がCPUに移りDMA可能信号20がアクティブでなくなるとカウンタ15がクリアされ、一致信号がアクティブでなくなる為にDMA要求信号19-1'が再びアクティブとなりDMAが再開される。また、データカウントレジスタ11がゼロになると内部DMA要求信号19-1がアクティブでなくなる為にDMAサイクル106終了後にCPUにバスの使用権が移りCPUサイクル107がスタートする。なお、データ転送そのものの実行は従来のDMAコントローラの動作と同じである。

【発明の効果】

以上説明したように本発明は、~~複数のデータ~~連続したDMA転送回数をカウントして、予め設定された送続してDMA転送可能な値に等しくなるとDMAサイクルを中断してCPUを制

特開昭63-29867 (4)

作させることにより、DMAサイクルの中斷の間に急ぎの処理を行うことができ、しかも、上記の設定値によってはCPUサイクルとDMAサイクルを交互に動作させることもできるので、CPUのレスポンスを大幅に悪化させることなくメモリ間のDMA転送ができる。

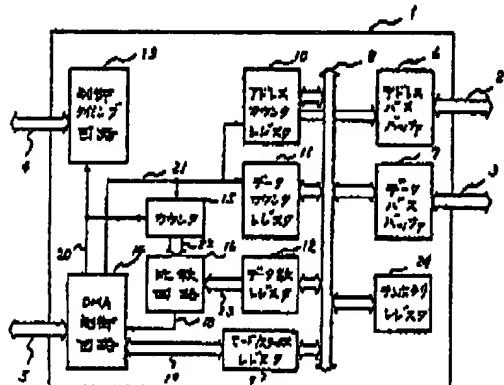
4. 図面の簡単な説明

第1図は本発明の一実施例であるDMAコントローラのブロック図、第2図は第3回に示されるDMA制御回路のブロック図、第3図は第1回のDMAコントローラを用いた場合のバスサイクル強化のダイアグラムおよび第4図は従来のDMAコントローラのブロック図である。

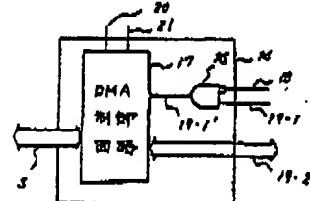
1, 1' …… DMAコントローラ、 2 …… 外部アドレスバス、 3 …… 外部データバス、 4 …… 外部制御信号、 5 …… 外部DMA制御信号、 6 …… アドレスバスバッファ、 7 …… データバスバッファ、 8 …… 内部データバス、 9 …… モード/ステータスレジスタ、 10 …… アドレスカウントレジ

スター、 11 …… データカウントレジスター、 12 …… データ放レジスター、 13 …… 制御タイミング回路、 14, 17 …… DMA制御回路、 15 …… カウンタ、 16 …… 比較回路、 18 …… 一致信号、 19, 19-2 …… 内部ステータス信号、 19-1 …… 内部DMA要求信号、 19-1' …… DMA要求信号、 20 …… DMA可能信号、 21 …… カウントロック、 22 …… カウンタ13のカウント値、 23 …… 連続転送データ数、 24 …… テンポラリレジスター、 25 …… ANDゲート、 100, 102, 104, 107 …… CPUサイクル、 100-1, 102-2 …… 101-a, 103-1 …… 103-a, 105-1 …… 106 …… DMAサイクル。

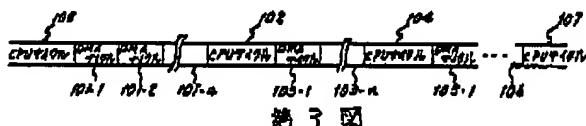
代理人 先達士 内 城



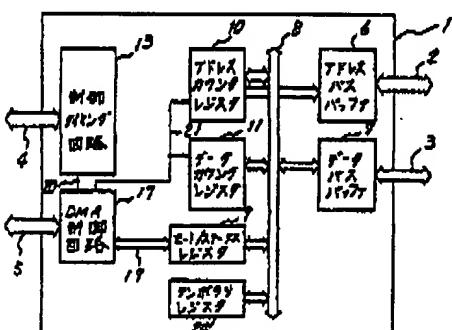
第1図



第2図



第3図



第4図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.